

## Semiconductor memory device with reduced chip area

Patent Number: US5724291  
 Publication date: 1998-03-03  
 Inventor(s): MATANO TATSUYA (JP)  
 Applicant(s): NIPPON ELECTRIC CO (JP)  
 Requested Patent: JP9161483  
 Application Number: US19960754410 19961121  
 Priority Number(s): JP19950338190 19951130  
 IPC Classification: G11C13/00  
 EC Classification: G11C7/10; G11C7/10R; G11C7/10W  
 Equivalents: JP2817836B2, KR211482

### Abstract

A semiconductor memory has memory cells arranged in a matrix to form a memory cell block. A word line is connected to each row of memory cells. The cell block has a pair of data lines, a row decoder circuit for activating one of the word lines and the pair of data lines, and a column decoder circuit for generating read and write select signals to selectively activate a desired column of memory cells and set that column to either a read or write mode. Each memory cell column has a pair of digit lines, a sense amplifier for amplifying differential data signals on the digit lines and read and write data transfer circuits for transferring differential read and write data signals to the digit lines in the read and write modes. The read data transfer circuit includes a pair of first MOS transistors connected to the data lines and activated with the read select signal, and a pair of second MOS transistors connected to the first MOS transistors in series. The gates of the second MOS transistors are connected to the digit lines. The second MOS transistors are operable to drive the data lines via the first MOS transistors by the differential read data signals in the read mode. The write data transfer circuit includes a pair of third MOS transistors provided between the data lines and the digit lines and activated with the write select signal.

Data supplied from the esp@cenet database - I2

## Description

### BACKGROUND OF THE INVENTION

#### 1. Field of the Invention

The present invention relates to a semiconductor memory device, and more particularly to a dynamic random access memory device.

#### 2. Description of Related

Of semiconductor memory devices, a dynamic memory device is one that can be randomly accessed, i.e., a random access memory device (DRAM). The DRAM can store

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-161483

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl.<sup>6</sup>

G11C 11/409

識別記号

庁内整理番号

F I

G11C 11/34

技術表示箇所

354A

審査請求 有 請求項の数8 FD (全9頁)

(21)出願番号 特願平7-338190

(22)出願日 平成7年(1995)11月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 俣野 達哉

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 加藤 朝道

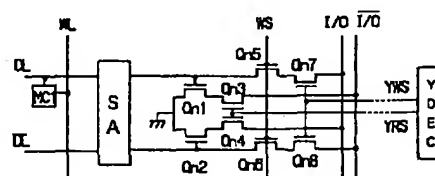
## (54)【発明の名称】 半導体メモリ装置

## (57)【要約】

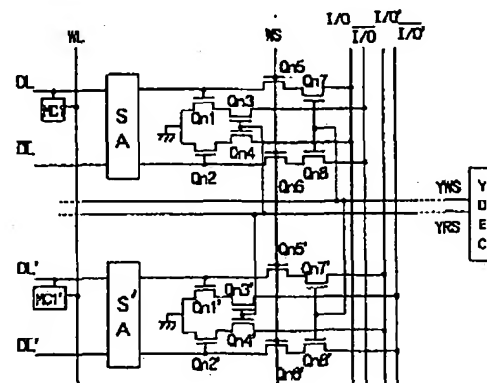
【課題】メモリセルの情報の読み出し、書き込み用データ線を共通化しデータ線数を少なくしセンスアンプで増幅されたメモリセルのデータをデータ線へ高速に転送する半導体メモリ装置の提供。

【解決手段】データ読み出し時ワード線WLで選択されたメモリセルMC1のデータは、デジット線DLを介してセンスアンプSAで増幅されてトランジスタQn1、Qn2のゲートに入力され接地電位のデータ線対はブロック選択されることによりVCC-VTNに上昇され、外部アドレスにより選択されたカラム読み出し選択線YRSが上がることにより(カラム書き込み選択線YWSはLow)、トランジスタQn3、Qn4が導通しデータ線I/O対にデータ転送が行われる。

(A)



(B)



## 【特許請求の範囲】

【請求項1】メモリセルの情報を入出力するデータ線と、  
前記メモリセルの情報を増幅するセンスアンプと、  
前記センスアンプで増幅されたデータを制御端子に入力する第1のトランジスタと、  
前記第1のトランジスタの出力と前記データ線との間に挿入されデータ読み出し用カラム選択信号を制御端子に入力し前記メモリセルの情報の前記データ線への出力を制御する第2のトランジスタと、  
前記データ線と前記センスアンプとの間に挿入されデータ書き込み用カラム選択信号を制御端子に入力し前記データ線に入力された情報の前記メモリセルへの書き込みを制御する第3のトランジスタと、  
を含むことを特徴とする半導体メモリ装置。

【請求項2】前記第1のトランジスタの前記第2のトランジスタに接続される信号端子とは別の信号端子が接地されると共に、前記第3のトランジスタと前記センスアンプとの間に接続され制御端子に書き込み制御線を入力する第4のトランジスタを更に備えたことを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】前記第1のトランジスタの前記第2のトランジスタに接続される信号端子とは別の信号端子がデータ出力を制御する制御信号線に接続されたことを特徴とする請求項1記載の半導体メモリ装置。

【請求項4】前記データ出力を制御する制御信号線が、データ読み出し時において前記センスアンプが活性化された箇所のみ接地電位とされることを特徴とする請求項3記載の半導体メモリ装置。

【請求項5】前記データ出力を制御する制御信号線が、外部アドレス信号によりブロック選択されセンスアンプが活性化されているカラムについて接地電位に引き下げられることを特徴とする請求項4記載の半導体メモリ装置。

【請求項6】前記データ線が相補信号線対で構成され、前記第1から第3のトランジスタが相補信号線対のそれぞれに対応して設けられてデータ転送回路を構成したことを特徴とする請求項1記載の半導体メモリ装置。

【請求項7】カラムデコーダから出力される前記データ読み出し用カラム選択信号と、前記データ書き込み用カラム選択信号を相隣の前記センスアンプに対応して設けられる二つの前記データ転送回路で共用したことを特徴とする請求項1記載の半導体メモリ装置。

【請求項8】データ読み出し時に、接地電位とされた前記データ線対が、入力アドレス信号によりブロック選択されて所定の高レベル電位に引き上げられことを特徴とする請求項6記載の半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に

関し、特にダイナミックRAM（ランダムアクセスメモリ）に関する。

## 【0002】

【従来の技術】半導体メモリ装置のうちランダムアクセスが可能なダイナミックメモリ（「DRAM」という）は、メモリセルのキャパシタに信号電荷を蓄えることによってデータを保持するメモリである。メモリセルのキャパシタに蓄えられたデータは、センスアンプ回路により増幅されデータ線に出力される。

【0003】そして、データ線にデータを転送する手段として、センスアンプ回路で増幅されたデータ電位をトランジスタのゲート部に入力し、トランジスタの駆動能力差を利用してデータ転送を行う、ダイレクトセンス方式と呼ばれる方式が広く知られている。

【0004】従来の半導体メモリ装置の一例として、図5（A）に、半導体メモリ装置の回路構成を示し、図6に、その出力波形図を示す。

【0005】図5（A）の回路では、センスアンプ1個に対しデータ転送回路が1個配置されている。図5

（A）において、DL、DL $\bar$ はデジット線、WLはワード線、MC2はメモリセル、SAはセンスアンプ、Qn9～Qn16はnチャネルMOSトランジスタ、WSは書き込み制御線、RO、RO $\bar$ は読み出し用データ線、WI、WI $\bar$ は書き込み用データ線、YDECはカラムデコーダ、YSWはカラム選択信号線を示している。なお、信号名における記号 $\bar$ は該信号の反転（相補）信号を意味する。

【0006】以下、図6の出力波形図を参照して、図5（A）に示した回路の動作の説明を行う。

【0007】データ読み出し時においては、外部入力信号RAS（図5（A）では不図示）をHighからLowにすることにより、外部アドレスが取り込まれ選択されたワード線WLの電位が上昇する。また、GNDレベルとされているRO線対は、ブロック選択されることにより、VCC-VTN（VCCは電源電圧、VTNはnチャネルMOSトランジスタのしきい値電圧）に引き上げられる。

【0008】ワード線WLにより選択されたメモリセルMC2に書き込まれた情報は、 $1/2$ VCCの電位にプリチャージされたデジット線DLに出力され、センスアンプSAでデータ増幅される。

【0009】センスアンプSAで増幅されたデータは、nチャネルMOSトランジスタQn9、Qn10のゲート電極に入力される（波形図ではnチャネルMOSトランジスタQn9側がHigh、Qn10側がLowとされている）。

【0010】そして、外部アドレスにより選択されたカラム選択信号線YSWの電位が上昇することにより（書き込み制御線WSはLowレベルとされる）、nチャネルMOSトランジスタQn11、Qn12が導通し、読

み出し用データ線対RO、RO<sup>-</sup>に接続され、データ転送が行われる。

【0011】データ読み出し時のデータ転送において、nチャネルMOSトランジスタQn9、Qn10の駆動能力差を利用して、ゲート電位がHighレベルのトランジスタに接続されるデータ線には、Lowレベルが書き込まれ、ゲート電位がLowレベルのトランジスタに接続されるデータ線にはHighレベルのデータが書き込まれる。図6の波形図では、ゲート電位がHighとされたnチャネルMOSトランジスタQn9側に接続されたRO<sup>-</sup>がLow側に引き落とされ、ゲート電位がHighとされたnチャネルMOSトランジスタQn10側に接続されたROはHighになる。

【0012】データ書き込み時においては、まずVCC電源にプリチャージされた書き込み用データ線WI、WI<sup>-</sup>に外部からのデータが書き込まれる。その際、相補信号である書き込み用データ線WI、WI<sup>-</sup>の一方はVCCレベル、他方はGNDレベルとされる。

【0013】そして、メモリセルのデータが増幅され活性化された状態にあるセンスアンプSAに対し、書き込み制御線WSの電位が上昇してnチャネルMOSトランジスタQn13、Qn14が導通し、さらにカラム選択信号線YSWの電位が上昇し、nチャネルMOSトランジスタQn15、Qn16が導通することにより、書き込み用データ線WI、WI<sup>-</sup>に書き込まれたデータがセンスアンプSAを通してデジット線DL、DL<sup>-</sup>、及びメモリセルMC2に書き込まれる。

【0014】図5(B)に、1本のカラム選択信号線YSWを隣合うセンスアンプで共有するように構成した回路を示す。データ線の数には2倍(8本;読み出し用データ線RO、RO<sup>-</sup>、RO<sup>+</sup>、RO<sup>-+</sup>、書き込み用データ線WI、WI<sup>-</sup>、WI<sup>+</sup>、WI<sup>-+</sup>)になる。なお、図5(B)に示す回路の動作自体は、図5(A)に示した回路と同様であるため説明を省略する。

【0015】この従来の半導体メモリ装置では、データ読み出しは、nチャネルMOSトランジスタQn9、Qn11ないしQn10、Qn12の2つの直列されたトランジスタを介して、センスアンプSAにより増幅されたメモリセルの情報を読み出し用データ線RO、RO<sup>-</sup>に転送し、データ書き込みは、nチャネルMOSトランジスタQn13、Qn15ないしQn14、Qn16の2つの直列されたトランジスタを介して書き込み用データ線WI、WI<sup>-</sup>に書き込まれたデータをメモリセルに書き込むが、読み出し用データ線対RO、RO<sup>-</sup>に及び書き込み用データ線対WI、WI<sup>-</sup>をそれぞれ用意しなければならず、データ線の本数(配線数)が増えてしまうという問題があった。

【0016】また、別の従来の半導体メモリ装置として、文献(K.Komatzuzakiその他、“Circuits Techniques For a Wide Word I/O Path 64 Meg DRAM”、SYMPOSI

UM ONVLSI CIRCUITS DIGEST OF TECHNICAL PAPERS、第133~134頁、1991年)で発表されたTI社の64M DRAMの回路形式を図7に示す。

【0017】図7に示すように、この回路は、複数のセンスアンプSA、SA'において、センスアンプSAで増幅されたデータを読み出し・書き込み共通データ線へデータ転送するための回路を共有している。

【0018】図7において、DL、DL<sup>-</sup>はデジット線、WLはワード線、MC3、MC4はメモリセル、SA、SA'はセンスアンプ、Qn17~Qn27はnチャネルMOSトランジスタ、S/A SELECTS線はセンスアンプを選択する信号線、SEC SELECT線はデータ線とデータ転送回路とを接続する制御線、IO、IO<sup>-</sup>は読み出し・書き込み共通データ線、YDECはカラムデコーダ、YREADはカラム読み出し選択線、YWRITEはカラム書き込み選択線を表す。

【0019】図7に示す回路の動作を以下に簡単に説明する。

【0020】データ読み出し時においては、センスアンプで増幅されたデータは、S/A SELECTS線で選択されたトランジスタ(例えばnチャネルMOSトランジスタ、Qn24、Qn25)を経由し、SUB I/O線を介してnチャネルMOSトランジスタQn18、Qn19のゲート入力部に入力される。

【0021】nチャネルMOSトランジスタQn18、Qn19の1対のゲート部の電位は、一方がHigh、他方がLowの相補信号である。また、SEC SELECT線によりnチャネルMOSトランジスタQn22、Qn23が導通し、データ転送回路が読み出し書き込み共通データ線対I/Oに接続される。

【0022】そして、YデコーダYDECからのカラム読み出し選択線YREADの電位が上昇する(Highレベルとなる)ことにより(カラム書き込み選択線YWRITEはLowレベル)、nチャネルMOSトランジスタQn17が導通して、データ転送回路が活性化され、例えば、SUB I/O線の電位がゲート電極に入力されたnチャネルMOSトランジスタQn18、Qn19のうちHighレベルが入力された側に接続されたI/O線は、Lowレベルに引き落とされ、他方は、Highレベルのままである。

【0023】データ書き込み時においては、外部より入力したデータを書き込んだI/O線対が、SEC SELECT線により導通したnチャネルMOSトランジスタQn22、Qn23を介してデータ転送回路に接続される。この時、センスアンプはメモリセル(MC3ないしMC4など)のデータを増幅し活性化状態にあり、S/A SELECTS線により選択されたセンスアンプがSUB I/O線を介してデータ転送回路に接続されている。

【0024】そして、外部アドレスにより選択されたカ

ラム書き込み選択線YWRITEの電位が上昇することにより（カラム読み出し選択線YREADはLowレベル）、nチャネルMOSトランジスタQn20、Qn21が導通して、I/O線対とセンスアンプが接続されてセンスアンプ及びメモリセルにデータが書き込まれる。

【0025】この従来の半導体メモリ装置では、データ転送回路を複数のセンスアンプで共有するため、センスアンプ部のサイズは小さくなるが、SUB I/O線対に前に活性化されたデータが残ってしまい、次の読み出しデータと衝突してしまう場合がある。

【0026】さらに、データ読み出し時、nチャネルMOSトランジスタQn17、Qn18、Qn22ないしQn17、Qn19、Qn23の3つ直列に接続されたトランジスタを介してI/O線対にデータが転送されるため、トランジスタによる直列抵抗が大きくなり、このためデータ転送スピードが遅れるなどの問題がある。

【0027】

【発明が解決しようとする課題】以上説明したように、従来の半導体メモリ装置のように、データ線を読み出し書き込み別々にした場合（図5参照）は、リード時、ライト時ともに2個直列されたトランジスタを介してデータ転送されるため、データアクセスは速くなるが、配線が増えるといった問題点がある。

【0028】また、読み出し用及び書き込み用のデータ線をI/O線とし共通とした場合（図7参照）、データ読み出し時は、3個直列形態に接続されたトランジスタを介してデータ転送されるため、データアクセスが遅くなるなどの問題があった。

【0029】従って、本発明の目的は、上記従来技術の問題点を解消し、データ線を読み出し書き込み共通線とし、データアクセススピードの高速化を達成する半導体記憶装置を提供することにある。

【0030】

【課題を解決するための手段】上記目的を達成するために、本発明は、メモリセルの情報を入力するデータ線と、前記メモリセルの情報を増幅するセンスアンプと、前記センスアンプで増幅されたデータを制御端子に入力する第1のトランジスタと、前記第1のトランジスタの出力と前記データ線との間に挿入されデータ読み出し用カラム選択信号を制御端子に入力し前記メモリセルの情報の前記データ線への出力を制御する第2のトランジスタと、前記データ線と前記センスアンプとの間に挿入されデータ書き込み用カラム選択信号を制御端子に入力し前記データ線に入力された情報の前記メモリセルへの書き込みを制御する第3のトランジスタと、を少なくとも含むことを特徴とする半導体メモリ装置を提供する。

【0031】本発明においては、前記第1のトランジスタの前記第2のトランジスタに接続される信号端子とは別の信号端子が接地されると共に、前記第3のトランジスタと前記センスアンプとの間に接続され制御端子に書

き込み制御線を入力する第4のトランジスタを更に備えた構成としてもよい。

【0032】また、本発明においては、前記第1のトランジスタの前記第2のトランジスタに接続される信号端子とは別の信号端子がデータ出力を制御する制御信号線に接続された構成としてもよい。

【0033】本発明によれば、読み出し及び書き込み時のデータ線を入出力線（I/O線）として共通化するとともに、カラムデコーダからのカラム選択線を読み出し用カラム選択線（YRS）、書き込み用カラム選択線（YWS）の2本とし、データ読み出し時、センスアンプ回路（SA）から直列形態に接続された第1、第2の2個のトランジスタ（Qn1、Qn3）を介してデータ線（I/O）へデータ転送を行うようにしたことにより、データ線（I/O）の数を少なくするとともに、センスアンプ（SA）で増幅されたメモリセルのデータをデータ線（I/O）へ高速に転送し、データアクセススピードの高速化を実現したものである。またデータ読み出し時において接地電位とされたデータ線対は外部アドレス信号によりブロック選択されることにより電位VCC-VTN（VTNはnチャネルMOSトランジスタのしきい値電圧）に上昇され、このため活性化されていないセンスアンプ列に読み出し用カラム選択線（YRS）が入力されてもI/O線対の電位レベルは接地レベルであるため、データ転送回路を通してI/O線対からの貫通電流は流れない。

【0034】

【発明の実施の形態】本発明の実施の形態を添付の図面を参照して以下に詳細に説明する。

【0035】

【実施形態1】図1は、本発明の第1の実施の形態に係る半導体記憶装置の構成を示す図であり、図2は、その動作を説明するための出力波形図である。

【0036】図1を参照して、本実施形態に係る半導体記憶装置においては、センスアンプ1個に対しデータ転送回路が1個配置されている。図1において、DL、DL $\bar$ はデジット線、WLはワード線、MC1はメモリセル、SAはセンスアンプ、Qn1～Qn8はnチャネルMOSトランジスタ、WSは書き込み制御線、IO、IO $\bar$ は読み出し・書き込み共通データ線、YDECはカラムデコーダ、YRSはカラム読み出し選択線、YWSはカラム書き込み選択線、VCCは電源電圧を表す。

【0037】図2の出力波形図と図1とを参照して、本実施形態に係る半導体記憶装置の動作を以下に説明する。

【0038】データ読み出し時には、外部入力信号RAS（図1では不図示）をHighからLowにすることで外部アドレスが取り込まれ選択されたワード線WLの電位が上昇する。また、GNDレベルとされているI/O線対（共通データ線対）は、ブロック選択されること

により $V_{CC}-V_{TN}$  ( $V_{TN}$ はnチャンネルMOSトランジスタのしきい値電圧)に引き上げられる。

【0039】このようにすることにより、活性化されていないセンスアンプ列にカラム読み出し選択線YRSが入力されてもI/O線対の電位レベルはGNDレベルであるため、データ転送回路を通してI/O線対からの貫通電流は流れない。

【0040】ワード線WLにより選ばれたメモリセルMC1に書き込まれた情報は、 $1/2 V_{CC}$ 電位にプリチャージされたデジット線DLに出力され、センスアンプSAでデータ増幅される。

【0041】センスアンプSAで増幅されたデータは、nチャンネルMOSトランジスタQn1、Qn2のゲート部に入力される(図2の波形図ではnチャンネルMOSトランジスタQn1側がHigh、Qn2側がLow)。そして、外部アドレスにより選択されたカラム読み出し選択線YRSの電位が上昇することにより(カラム書き込み選択線YWSはLowレベルである)、nチャンネルMOSトランジスタQn3、Qn4が導通し、I/O線対に接続され、データ転送が行われる。

【0042】データ転送は、nチャンネルMOSトランジスタQn1、Qn2の駆動能力差を利用して、ゲート電位がHighレベルのトランジスタに接続されるデータ線には、Lowレベルが書き込まれ、ゲート電位がLowレベルのトランジスタに接続されるデータ線にはHighレベルのデータが書き込まれる(図2の波形図ではnチャンネルMOSトランジスタQn1側に接続されたI/O線がLow側に引き落とされ、MOSトランジスタQn2側に接続されたI/O線はHighになる)。

【0043】データ書き込み時には、まずGNDレベルにあるデータ線対I/O、I/O $\bar{}$ に外部から入力されたデータが書き込まれる(一方がVCC電源レベル、他方がGNDレベル)。そして、メモリセルのデータが増幅され活性化された状態にあるセンスアンプに対し、書き込み制御線WSの電位が上昇しnチャンネルMOSトランジスタQn5、Qn6が導通し、さらに外部アドレス入力によりカラム書き込み選択線YWS(カラム読み出し選択線YRSはLowレベルである)の電位が上昇し、nチャンネルMOSトランジスタQn7、Qn8が導通することにより、データ線対I/Oに書き込まれたデータがセンスアンプを通してデジット線DL、DL $\bar{}$ 、及びメモリセルMC1に書き込まれる。

【0044】また、活性化していないセンスアンプ列にカラム書き込み選択線YWSが入力されても書き込み制御線WSが導通していないため、データ線対I/O、I/O $\bar{}$ からの貫通電流は流れない。

【0045】図1(B)に一对のカラム選択線YRS、YWSを隣り合うセンスアンプで共有するようにした回路構成を示す。図1(B)に示すように、データ線の数

に示した回路と変わらないのでその説明は省略する。

【0046】

【実施形態2】本発明の第2の実施の形態を添付の図3及び図4を参照して以下に詳細に説明する。

【0047】図3(A)は、本発明の第2の実施形態の構成を示す図であり、図4はその出力波形図である。

【0048】図1(A)に示したデータ転送回路が1個のセンスアンプSAに対してトランジスタ素子8個に対し、図3(A)の回路では、トランジスタ素子6個と少ない数で構成されている。

【0049】図3(A)において、DL、DL $\bar{}$ はデジット線、WLはワード線、MC1はメモリセル、SAはセンスアンプ、Qn1~Qn4、Qn7、Qn8はnチャンネルMOSトランジスタ、IO、IO $\bar{}$ は読み出し書き込み共通データ線、YDECはカラムデコード、YRSはカラム読み出し選択線、YWSはカラム書き込み選択線、RGNDはデータ読み出し時GND(接地レベル)に引き落とされるデータ出力制御線を表す。

【0050】図4の出力波形図と図3(A)とを参照して、本実施形態の動作を説明する。

【0051】データ読み出しでは、外部入力信号RASをHighからLowにすることで外部アドレスが取り込まれ選択されたワード線WLが上がる。

【0052】ここで、I/O線対は $1/2 V_{CC}$ レベルにプリチャージされている。また、RGND線はnチャンネルMOSトランジスタのしきい値電圧レベル程に浮いたレベルにプリチャージされており、外部アドレスによりブロック選択された部分のみ(センスアンプが活性化されている列)がGNDレベルに引き落とされる。

【0053】こうすることにより、活性化されていないセンスアンプ列にカラム読み出し選択線YRSが入力されてもRGND線の電位レベルが浮いているため(nチャンネルMOSトランジスタQn1、Qn2のゲート電位は $1/2 V_{CC}$ レベル)、データ転送回路を通してI/O線対からの貫通電流は流れない。

【0054】ワード線WLにより選ばれたメモリセルMC1に書き込まれた情報は、 $1/2 V_{CC}$ 電位にプリチャージされたデジット線DLに出力され、センスアンプSAでデータ増幅される。

【0055】センスアンプSAで増幅されたデータは、nチャンネルMOSトランジスタQn1、Qn2のゲート部に入力される(図4の波形図ではnチャンネルMOSトランジスタQn1側がHigh、Qn2側がLow)。そして、外部アドレスにより選択されたカラム読み出し選択線YRSの電位が上昇することにより(カラム書き込み選択線YWSはLowレベルである)、nチャンネルMOSトランジスタQn3、Qn4が導通し、I/O線対に接続され、データ転送が行われる。

【0056】データ転送は、nチャンネルMOSトランジスタQn1、Qn2の駆動能力差を利用して、ゲート電

位がHighレベルのトランジスタに接続されるデータ線には、Lowレベルが書き込まれ、ゲート電位がLowレベルのトランジスタに接続されるデータ線にはHighレベルのデータが書き込まれる(図4の波形図ではnチャネルMOSトランジスタQn1側に接続されたI/O線がLow側に引き落とされ、Qn2側に接続されたI/O線はHighになる)。

【0057】データ書き込み時は、まず1/2VCCレベルにプリチャージされたデータ線対I/Oに外部から入力されたデータが書き込まれる(片側VCC電源レベル、片側GNDレベル)。そして、メモリセルのデータが増幅され活性化された状態にあるセンスアンプに対し、外部アドレス入力によりカラム書き込み選択線YWS(カラム読み出し選択線YRSはLowレベルである)の電位が上昇し、nチャネルMOSトランジスタQn7、Qn8が導通することにより、データ線対I/Oに書き込まれたデータがセンスアンプSAを通してデジット線DL、DL<sup>-</sup>、及びメモリセルMC1に書き込まれる。

【0058】また、活性化されていないセンスアンプ列にカラム書き込み選択線YWSが入力されてもI/O線対、DL線対ともに1/2VCCレベルであるため、貫通電流は流れない。

【0059】図3(B)に、1対のカラム選択線YRS、YWSを隣り合うセンスアンプで共有する回路構成を示す。データ線の数図3(A)の回路の2倍(4本)とされている。図3(B)の回路の動作自体は、図3(A)の回路と同様であるためその説明は省略する。

【0060】

【発明の効果】以上説明したように、本発明によれば、カラムデコーダからのカラム選択線を読み出し用、書き込み用の2本とし、読み出し時、センスアンプ回路から直列形態に接続された2個のトランジスタを介してデータ線へデータ転送を行うように構成したことにより、データ線を読み出し書き込み共通線にしデータ線数を少なくして、配線増による面積増加などを防ぐことができると共に、データアクセススピードを速くできる半導体記憶装置を得ることができるという効果を有する。

【図面の簡単な説明】

【図1】(A)本発明の第1の実施形態の構成を示す図である。

(B)本発明の第1の実施形態の構成の変形例を示す図である。

【図2】本発明の第1の実施形態の動作を説明するためのタイミング波形図である。

【図3】(A)本発明の第2の実施形態の構成を示す図である。

(B)本発明の第2の実施形態の構成の変形例を示す図である。

【図4】本発明の第2の実施形態の動作を説明するためのタイミング波形図である。

【図5】(A)従来の半導体記憶装置の構成を示す図である。

(B)従来の半導体記憶装置の構成を示す図である。

【図6】従来の半導体記憶装置の動作を説明するためのタイミング波形図である。

【図7】従来の別の半導体記憶装置の構成を示す図である。

【符号の説明】

DL、DL<sup>-</sup>、DL'、DL'<sup>-</sup> デジット線

SA センスアンプ

YDEC Yデコーダ

WL ワード線

WS 書き込み制御線

I/O、I/O<sup>-</sup>、I/O'、I/O'<sup>-</sup> 読み出し書き込み共通データ線

SUB I/O、SUB I/O<sup>-</sup> 読み出し書き込み共通補助データ線

RO、RO<sup>-</sup>、RO'、RO'<sup>-</sup> 読み出しデータ線

WI、WI<sup>-</sup>、WI'、WI'<sup>-</sup> 書き込みデータ線

YSW カラム選択線

YRS、YREAD カラム読み出し選択線

YWS、YWRITE カラム書き込み選択線

VCC 電源電圧

VTN nチャネルトランジスタのしきい値電圧

MC1~MC4、MC1'、MC2' メモリセル

S/A SELECTS センスアンプ選択線

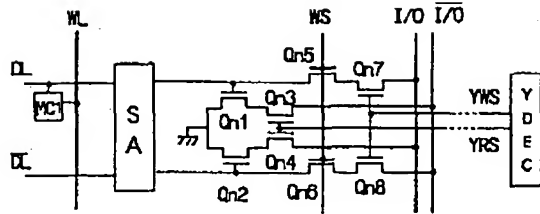
SEC SELECT データ転送回路接続線

RGND データ出力制御線

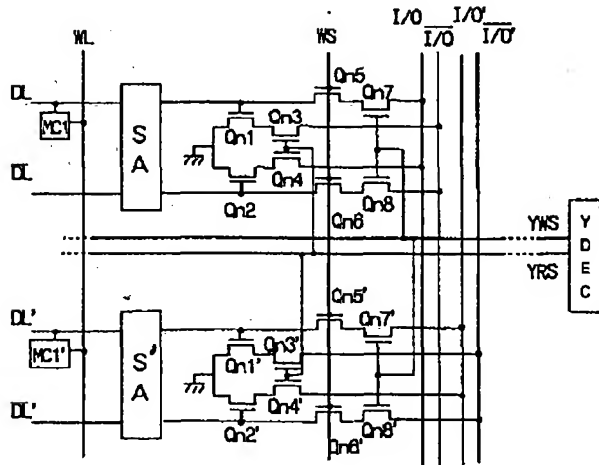
Qn1~Qn27、Qn1'~Qn16' n-chMOSトランジスタ

【図 1】

(A)

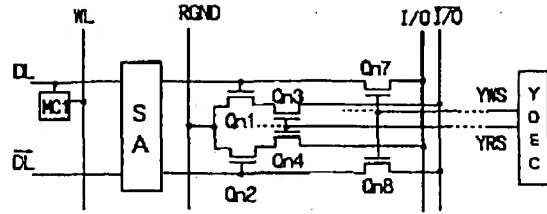


(B)

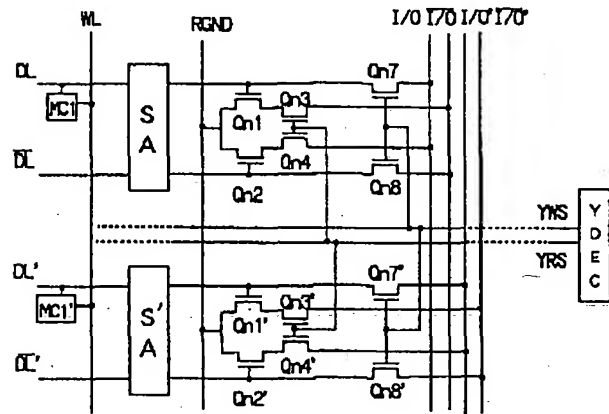


【図 3】

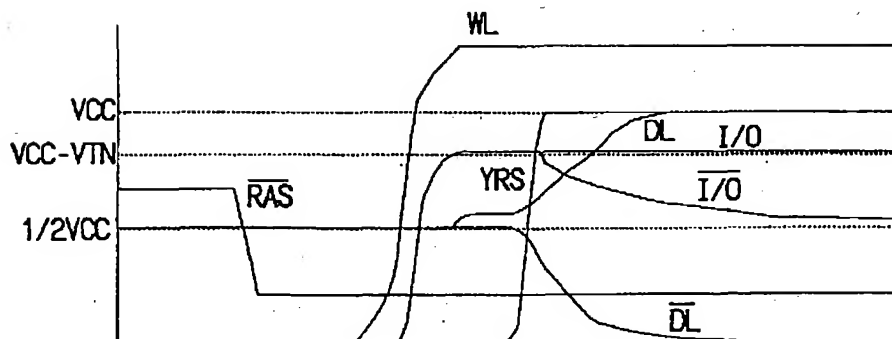
(A)



(B)

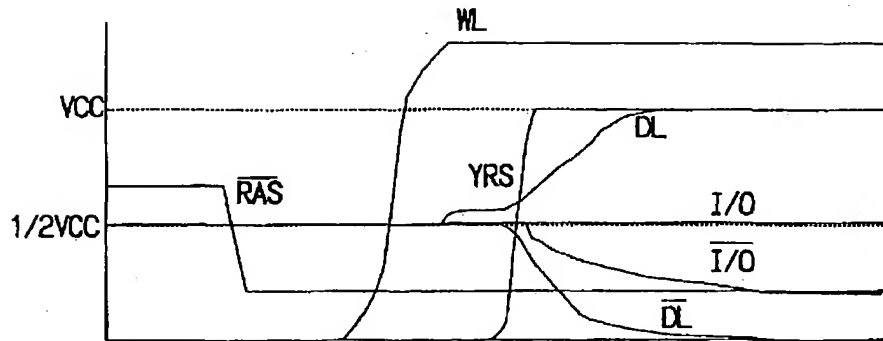


【図 2】



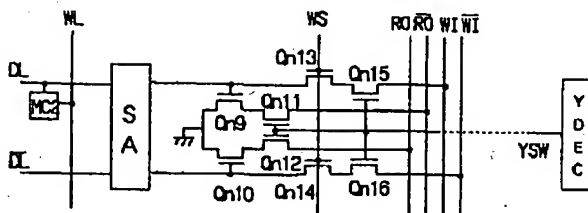


【図4】

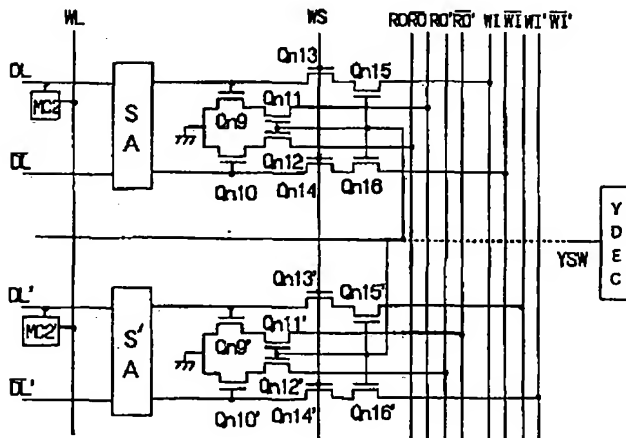


【図5】

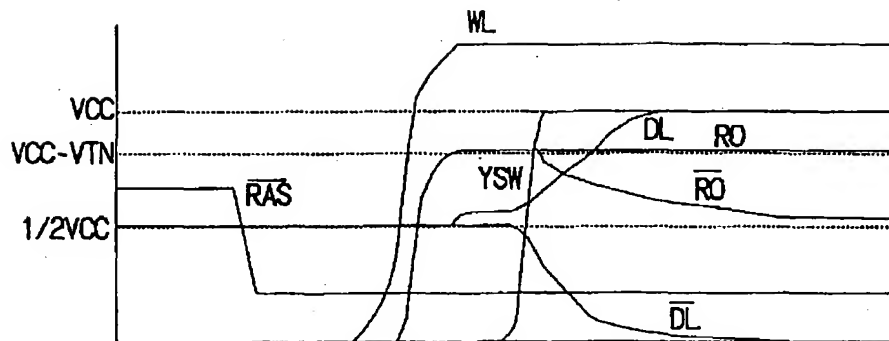
(A)



(B)



【図6】



【図7】

